



КАРПАТСЬКИЙ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ
ІМЕНІ ВАСИЛЯ СТЕФАНИКА

Силабус навчальної дисципліни

Дослідження і проектування пристроїв на ПЛІС

1. Загальна інформація			
Спеціальність	G5 Електроніка, електронні комунікації, приладобудування та радіотехніка		
Освітня програма	Інженерія електронних систем		
Рівень вищої освіти	магістр		
Мова навчання	українська		
Форма здобуття освіти	денна		
Статус навчальної дисципліни	обов'язкова		
Курс (рік навчання)	1		
Семестр	денна — 1		
Обсяг навчальної дисципліни	денна — 6 кред. ECTS, 180 годин		
Розподіл за видами занять та годинами навчання	види	денна форма	заочна форма
	лекції	30	—
	практичні заняття / семінарські заняття		—
	лабораторні заняття	30	—
	самостійна робота	120	—

Форма підсумкового контролю	<i>екзамен</i>
Кафедра	Кафедра комп'ютерної інженерії та електроніки
Викладач (-і)	Грига Володимир Михайлович
Контактний телефон викладача	0342596007
Е-mail викладача	volodymyr.hryha@cnu.edu.ua
Посилання на сайт дистанційного навчання	https://d-learn.pnu.edu.ua
Консультації	Згідно графіку консультацій

2. Мета навчальної дисципліни

Метою навчальної дисципліни є: Метою дисципліни є формування знань і навичок з проектування електронних пристроїв на базі ПЛІС з використанням мов опису апаратних засобів та автоматизованих систем проектування, моделювання їх роботи, дослідження системних характеристик, тестування та впровадження у галузі електроніки. Метою дисципліни є формування знань і навичок щодо основних принципів проектування цифрових пристроїв на ПЛІС, з використанням автоматизованої системи проектування Vivado і мови опису апаратних засобів VHDL, а також моделювання, синтезу, імплементації та програмування за допомогою відлагоджувальної плати Nexys 4DDR.

3. Тематика навчальної дисципліни

Тема 1. Ознайомлення із програмовними логічними мікросхемами. Програмовні логічні інтегральні схеми (ПЛІС). Основи побудови структур простих ПЛІС. Прості програмовані схеми. Програмовні логічні матриці (ПЛМ). Програмована матрична логіка (ПМЛ).

Тема 2. Класифікація ПЛІС за архітектурою. Функціональні блоки і системи комутації ПЛІС. Структура ПЛІС. Класичні архітектури ПЛІС. Огляд серій мікросхем ПЛІС відомих компаній виробників (AMD/Xilinx, Altera/Intel, Microchip, Lattice).

Тема 3. Особливості систем автоматизації проектування схем на основі ПЛІС. Структура САПР ПЛІС. Функціональне призначення основних складових частин. Порівняльна характеристика САПР ПЛІС провідних фірм. Критерії вибору засобів проектування.

Тема 4. Базові поняття процесу проектування ПЛІС. Фактори які впливають на методику проектування електронних пристроїв. Области застосування ІС різних типів. Реалізація цифрових компонентів на ПЛІС. Функціональне та часове моделювання проекту. RTL-аналіз, синтез та імплементація проекту. Завантаження проекту. Розроблення простого проекту.
Тема 5. Мова опису апаратури VHDL і особливості її застосування для комп'ютерної симуляції та синтезу реальних електронних систем. Базові поняття, структура та відмінності мов Verilog та VHDL. Сигнали у VHDL: класи сигналів, прості одиничні сигнали та вектори, зовнішні сигнали. Поведінковий та структурний опис у VHDL. Засоби мови VHDL (вирази, оператори, присвоєння). Створення комбінаційних пристроїв на базі ПЛІС.
Тема 6. Поведінковий підхід до програмування апаратури мовами опису апаратних засобів. Основи поведінкового опису: змінні та параметри, складні оператори, завдання та функції. Синтез проекту. Створення послідовнісних пристроїв на базі ПЛІС.
Тема 7. Загальна характеристика цифрових автоматів. Поняття автомата, принцип роботи автомата. Класифікація і характеристика автоматів. Проектування, аналіз та діагностика роботи цифрових автоматів. Математична модель цифрового автомата. Автомати Мілі і Мура. Закони функціонування автоматів Мілі і Мура.
Тема 8. Конвеєризація та паралелізм для підвищення швидкодії. Просторове та часове розгортання обчислень. Балансування конвеєрів, затримки, оптимізація критичного шляху.
Тема 9. Проектування операційних пристроїв на базі ПЛІС. Реалізація арифметико-логічного пристрою. Типи АЛП. Прості та складні операції АЛП.
Тема 10. Приклади проектування пристроїв пам'яті на базі ПЛІС. Реалізація модулів пам'яті в ПЛІС. Пам'ять з адресним доступом. Пам'ять з послідовним доступом. Пам'ять з асоціативним доступом. Багатопортова пам'ять. Сортувальна пам'ять.
Тема 11. Розробка енергоефективних та маловідходних систем на ПЛІС. Динамічна та статична потужність. Clock Gating, Power Gating, керування напругою, оптимальне використання ресурсів кристала.

Тема 12. Цифрова обробка сигналів (DSP) на ПЛІС. Реалізація цифрових фільтрів, алгоритмів ШПФ, CORDIC, використання вбудованих апаратних DSP-макросів.		
Тема 13. Створення тестових стендів (Testbench), покриття коду (Code Coverage), використання штучного інтелекту для автогенерації тестів.		
Тема 14. Загальні принципи побудови та розробки реконфігурованих структур на базі ПЛІС. Структурна схема організації IRL. Апаратні об'єкти. Існуючі досягнення та проблеми. Методи створення програмних моделей процесорів для реконфігурованих прискорювачів.		
Тема 15. Захист інтелектуальної власності, розробка ІР-ядер та стартап-проектів. Упаковка власних ІР-cores, захист патентних прав, комерціалізація розробок та створення бізнес-моделі проекту		
4. Система оцінювання навчальної дисципліни		
Загальна система оцінювання навчальної дисципліни	Оцінювання результатів навчання здобувачів вищої освіти здійснюється відповідно до Положення про організацію освітнього процесу та розробку основних документів з організації освітнього процесу в Карпатському національному університеті імені Василя Стефаника (https://efund.cnu.edu.ua/wp-content/uploads/sites/24/2023/09/polozhennia-pro-orhanizatsiiu-osvitnoho-protsesu-ta-rozrobku-osnovnykh-dokumentiv-z-orhanizatsii-osvitnoho-protsesu.pdf). Кожен вид роботи оцінюється за 100-бальною шкалою. Отриманий бал в електронному журналі автоматично перераховується у підсумкову оцінку з урахуванням ваги цього виду роботи (множиться на відповідний ваговий коефіцієнт).	
Вага оцінювання форм поточного контролю	<i>лекції</i>	
	<i>практичні / семінарські</i>	
	<i>лабораторні</i>	30
	<i>індивідуальне завдання</i>	
	<i>колоквіум</i>	
	<i>самостійна робота</i>	20
Вага оцінювання форм підсумкового контролю	<i>екзамен</i>	50

5. Політика навчальної дисципліни

Академічна доброчесність. Викладання навчальної дисципліни та взаємодія зі здобувачами ґрунтуються на принципах академічної доброчесності відповідно до чинних нормативних документів Карпатського національного університету імені Василя Стефаника:

- Кодекс академічної доброчесності Карпатського національного університету імені Василя Стефаника (<https://efund.cnu.edu.ua/wp-content/uploads/sites/24/2026/08/kodeks-akademichnoi-dobrochesnostii-karpatskoho-natsionalnoho-universytetu-imeni-vasylia-stefanyka.pdf>)
- Кодекс честі Карпатського національного університету імені Василя Стефаника (<https://efund.cnu.edu.ua/wp-content/uploads/sites/24/2024/02/34-04-kodeksu-chesti-prykarpatskoho-natsionalnoho-universytetu-imeni-vasylia-stefanyka.pdf>)
- Положення про систему забезпечення академічної доброчесності Карпатського національного університету імені Василя Стефаника (<https://efund.cnu.edu.ua/wp-content/uploads/sites/24/2024/02/34-05-polozhennia-pro-zapobihannia-akademichnomu-plahiatu.pdf>)
- Положення про порядок розгляду повідомлень про порушення академічної доброчесності, застосування заходів реагування та оскарження Карпатського національного університету імені Василя Стефаника (https://efund.cnu.edu.ua/wp-content/uploads/sites/24/2023/11/34-06_2022-polozhennia-pro-zapobihannia-akademichnomu-plahiatu-ta-inshym-porushenniam-akademichnoi-dobrochesnosti-1.pdf)
- Процедура забезпечення дотримання академічної доброчесності Карпатського національного університету імені Василя Стефаника (https://efund.cnu.edu.ua/wp-content/uploads/sites/24/2024/05/pr.01.1.1-08_2024-protsedura_8_universytet.pdf)
- Положення про політику відповідального використання технологій штучного інтелекту (<https://efund.cnu.edu.ua/wp-content/uploads/sites/24/2025/09/25-022025-polozhennia-pro-polityku-vidpovidalnoho-vykorystannia-tekhnohij-shi.pdf>)

Відвідування занять. Організація освітнього процесу здійснюється відповідно до Положення про організацію освітнього процесу та розробку основних документів з організації освітнього процесу в Карпатському національному університеті імені Василя Стефаника (<https://efund.cnu.edu.ua/wp-content/uploads/sites/24/2023/09/polozhennia-pro-orhanizatsiiu-osvitnoho-protsesu-ta-rozrobku-osnovnykh-dokumentiv-z-orhanizatsii-osvitnoho-protsesu.pdf>).

Неформальна освіта. Визнання результатів навчання, здобутих шляхом неформальної освіти, здійснюється відповідно до Положення про визнання результатів навчання, здобутих шляхом неформальної освіти в Карпатському національному університеті імені Василя Стефаника (https://efund.cnu.edu.ua/wp-content/uploads/sites/24/2023/05/02-07.33_2022-polozhennia-pro-vyznannia-rezultatuv-navchannia-zdobutykh-shliakhom-neformalnoi-osvity-v-prykarpatskomu-natsionalnomu-universyteti-imeni-vasylia-stefanyka.pdf).

6. Рекомендована література	
Основна література	
Stephan J. G. Gift, Brent Maundy. Electronic Circuit Design and Application. – Springer Cham. –2023. – 658	
Галаган Р.М. Комп'ютерне проектування електронних схем – Київ: КПІ ім. Ігоря Сікорського. – 2023. – 420 с.	
Мірошник М. А. Технології та автоматизація проектування цифрових пристроїв складних комп'ютерних систем на ПЛІС: Навч. посібник. / Мірошник М. А., Клименко Л. А., Корольова Я. Ю. – Харків: УкрДУЗТ. – 2021. – 220 с.	
Бондаренко І.М., Бородін О.В., Карнаушенко В.П. Сучасна компонентна база електронних систем: навч. посібник для студентів ЗВО. / І.М. Бондаренко, О.В. Бородін, В.П. Карнаушенко. – Харків: ХНУРЕ, 2020. – 268 с.	
Ляхно В.А. Технології проектування комп'ютерних систем (частина 1) / Б.С. Гусєв, В.В. Смолій, М.Д. Місюра, Д.Ю. Касаткін. - К.: НУБіП України, 2019. – 205 с.	
Аврунін, О. Г. Основи мови VHDL для проектування цифрових пристроїв на ПЛІС./ Аврунін О. Г. Носова, Т. В. Семенець, В. В. - Харків: ХНУРЕ, 2018. – 196 с	
Hideharu Amano. Principles and Structures of FPGAs – Springer, 2018. –231p	
Николайчук Я.М., Возна Н.Я., Грига В.М., Круліковський Б.Б., Давлетова А.Я. Високопродуктивні матричні та потокові перемножувачі цифрових даних / Збірник наукових праць “Математичне та комп'ютерне моделювання”. Серія: Технічні науки – Кам'янець-Подільський, Україна, 2019. – Вип. 19. С. 101-107	
Возна Н.Я., Давлетова А.Я., Николайчук Я.М., Грига В. М. Удосконалення структур багаторозрядних перемножувальних пристроїв у різних теоретико-числових базисах / Возна Н.Я., Давлетова А.Я., Николайчук Я.М., Грига В. М. // Вісник “Комп'ютерні системи та мережі”. – Львів: Національний університет “Львівська політехніка”, 2021. – № 1. – С. 7–19	
Павлишин А., Грига В., Мандзюк В. Реалізація алгоритму швидкого перетворення Фур'є на ПЛІС // Conference Proceedings 2022 International Conference on Innovative Solutions in Software Engineering (ICISSE) –Ivano-Frankivsk, November 29-30, 2022, Ukraine – P. 149-156	
Додаткова література	
Membrey P., Pang A. Beginning FPGA: Programming Metal. – Apress, 2017. – 388 p	
Маланчук Є.З.. Моделювання та аналіз цифрових схем. Підручник / Є.З. Маланчук, В.В. Макаренко, В.М. Співак, Г. Г. Власюк, А.В. Рудик. – Рівне: НУВГП. – 2018. – 463 с	
Огородник К. В. Моделювання в електроніці : навчальний посібник / К. В. Огородник, Б. П. Книш, П. М. Ратушний, О. О. Лазарєв. – Вінниця : ВНТУ. – 2017. – 118 с	
В. Krulikovskiy, A. Davletova, V. Gryga, Y. Nykolaichuk Synthesis of Components of High Performance Special Processors of Execution of Arithmetic and Logical Operations Data Processing in Theoretical and Numerical Basis Rademacher // The Experience of Designing and Application of CAD Systems in Microelectronics. Proceedings of XIVth International Conference. CADSM'2017. – Lviv-Poljana, Ukraine, 2017. – P. 114 118	

Круліковський Б.Б., Грига В. М., Давлетова А.Я., Николайчук Я. М. Швидкодіючі багаторозрядні матричні перемножувачі // Матеріали міжнародної науково-практичної конференції “Інформаційні технології та комп’ютерне моделювання” – Івано-Франківськ, Україна, 2019. – С. 221-224
Iryna Manuliak, Stepan Melnychuk, Volodymyr Gryga, Roman Manuliak FPGA hardware resources reduction for implementation of the tabular component of the information entropy estimates calculation IV International Scientific and Practical Conference Theoretical and Applied Aspects of Device Development on Microcontrollers and FPGAs, 23-24 червня 2022 року, м. Харків, Україна. MC&FPGA-2022, p. 19-20
Y. Nyckolaychuk, V. Hryha, N. Vozna, A. Voronych, A. Segin, P. Humennyi High-performance coprocessors for arithmetic and logic operations of multi-bit cores for vector and scalar supercomputers // Advanced Computer Information Technologies. 12th International Conference. ACIT 2022. – Spišská Kapitula, Slovakia, September 2022. – P. 410 414
Грига В.М., Мельничук С.І., Мануляк І.З., Бабій Б., Почанін Ю., Гуменицький М.Б. Реалізація асоціативної пам’яті на ПЛІС // Матеріали міжнародної науково-практичної конференції “Інформаційні технології та комп’ютерне моделювання” –Івано-Франківськ, 15-16 грудня 2022р, Україна – С. 131-135
Y. Nyckolaychuk, V. Hryha, N.Vozna, I.Pitukh and L. Hryha High-performance multi-bit adder-accumulators as components of the ALU in supercomputers // published on CEUR Workshop Proceedings, 2023, P. 649 661
Y. Nykolaychuk, V.Hryha, N.Vozna, I.Pituhk, L.Hryha High-Performance Components of Hardware Multi-Bit Specific Processors for the Addition and Multiplication of Binary Numbers // International Scientific Journal “Computer Systems and Information Technologies”, 2023, ХНУ, №2 С.25-32
Volodymyr Hryha, Nataliia Vozna, Lesya Mychuda, Lidiia Shtaier, Iryna Hatala Synthesis of multi-bit pyramidal adders on FPGA // Advances in Cyber-Physical Systems, Lviv Polytechnic National University Publishing, 2025, V. 10, number 2. – pp.135-140
Додаткові електронні ресурси
—

Детальна інформація щодо навчальної дисципліни висвітлена у робоча програма навчальної дисципліни <https://cqa.cnu.edu.ua/inzheneriia-elektronnykh-system/>

Викладач

Грига Володимир Михайлович